



KARTA OPISU PRZEDMIOTU - SYLABUS

Nazwa przedmiotu

Nanometrowe technologie CMOS [N1Inf1>CMOS]

Przedmiot

Kierunek studiów
Informatyka

Rok/Semestr
2/4

Studia w zakresie (specjalność)
–

Profil studiów
ogólnoakademicki

Poziom studiów
pierwszego stopnia

Język oferowanego przedmiotu
polski

Forma studiów
niestacjonarne

Wymagalność
obieralny

Liczba godzin

Wykład
12

Laboratorium
12

Inne
0

Ćwiczenia
0

Projekty/seminaria
0

Liczba punktów ECTS

3,00

Koordynatorzy

dr hab. inż. Szymon Szczęsny prof. PP
szymon.szczesny@put.poznan.pl

Wykładowcy

Wymagania wstępne

Student rozpoczynający ten przedmiot powinien posiadać wiedzę z zakresu matematyki dyskretnej, logiki i elektroniki cyfrowej. Powinien posiadać umiejętności rozwiązywania podstawowych problemów algorytmiki, pozyskiwania informacji ze wskazanych źródeł oraz budowy prostych układów elektronicznych. Powinien rozumieć konieczność poszerzania swoich kompetencji w zakresie modelowania rzeczywistych problemów decyzyjnych i posługiwania się narzędziami informatycznymi do ich rozwiązywania. Ponadto w zakresie kompetencji społecznych student musi prezentować takie postawy jak uczciwość, odpowiedzialność, wytrwałość, ciekawość poznawcza, kreatywność, kultura osobista, szacunek dla innych ludzi.

Cel przedmiotu

Ogólnym celem jest przedstawienie całego procesu projektowania układów scalonych z wykorzystaniem nowoczesnych technologii nanometrowych. W szczególności poruszone zostaną następujące zagadnienia:

1. Omówienie aktualnych trendów na rynku mikroelektroniki, zwłaszcza w obszarze nanometrowych technologii półprzewodnikowych oraz technologii alternatywnych np. węglowych.
2. Zapoznanie z profesjonalnymi narzędziami komercyjnymi służącymi do projektowania warstwy sprzętowej systemu informatycznego, zintegrowanymi z przykładowymi komercyjnymi technologiami nanometrowymi.
3. Omówienie drogi "od tranzystora do procesora" tj. pokazanie pełnego procesu projektowania układu cyfrowego CMOS wraz z symulacją jego działania na każdym etapie procesu.
4. Przedstawienie metod realizacji funkcji dyskretnych i logicznych przy użyciu układów scalonych.
5. Realizacja topografii układu ASIC z analizą rozrzutu w procesach fabrykacji.

Przedmiotowe efekty uczenia się

Wiedza:

1. ma uporządkowaną i podbudowaną teoretycznie wiedzę ogólną w zakresie kluczowych zagadnień informatyki, oraz wiedzę szczegółową w zakresie wybranych zagadnień tej dyscypliny nauki
2. ma wiedzę o istotnych kierunkach rozwoju i najważniejszych osiągnięciach informatyki oraz innych pokrewnych dyscyplin naukowych, w szczególności elektroniki, telekomunikacji oraz automatyki i robotyki
3. zna podstawowe techniki, metody oraz narzędzia wykorzystywane w procesie rozwiązywania zadań informatycznych, głównie o charakterze inżynierskim, z zakresu kluczowych zagadnień informatyki

Umiejętności:

1. potrafi pozyskiwać informacje z różnych źródeł, w tym z literatury oraz baz danych, zarówno w języku polskim jak i w języku angielskim, właściwie je integrować, dokonywać ich interpretacji i krytycznej oceny, wyciągać wnioski, oraz wyczerpująco uzasadniać formułowane przez siebie opinie
2. potrafi odpowiednio posługiwać się technikami informacyjno-komunikacyjnymi, znajdującymi zastosowanie na różnych etapach realizacji przedsięwzięć informatycznych
3. potrafi, formułując i rozwiązując zadania informatyczne, zastosować odpowiednio dobrane metody, w tym metody analityczne, symulacyjne lub eksperymentalne
4. potrafi - zgodnie z zadaną specyfikacją - zaprojektować oraz zrealizować urządzenie lub szeroko rozumiany system informatyczny, dobierając język programowania odpowiedni do danego zadania programistycznego oraz używając właściwych metod, technik i narzędzi
5. potrafi planować i realizować proces własnego permanentnego uczenia się oraz zna możliwości dalszego doksztalcania się (studia II i III stopnia, studia podyplomowe, kursy i egzaminy przeprowadzane przez uczelnie, firmy i organizacje zawodowe)

Kompetencje społeczne:

1. Rozumie, że w informatyce wiedza i umiejętności bardzo szybko stają się przestarzałe
2. ma świadomość znaczenia wiedzy w rozwiązywaniu problemów inżynierskich oraz zna przykłady i rozumie przyczyny wadliwie działających systemów informatycznych, które doprowadziły do poważnych strat finansowych, społecznych lub też do poważnej utraty zdrowia, a nawet życia

Metody weryfikacji efektów uczenia się i kryteria oceny

Efekty uczenia się przedstawione wyżej weryfikowane są w następujący sposób:

Efekty kształcenia przedstawione wyżej weryfikowane są w następujący sposób:

Ocena formująca:

a) w zakresie wykładów:

- na podstawie odpowiedzi na pytania dotyczące materiału omówionego na wykładach.

b) w zakresie laboratoriów / ćwiczeń:

- na podstawie oceny bieżącego postępu realizacji zadań.

Ocena podsumowująca:

a) w zakresie wykładów weryfikowanie założonych efektów kształcenia realizowane jest przez:

- ocenę wiedzy i umiejętności wykazanych na zaliczeniu pisemnym o różnej charakterystyce problemów do rozwiązania: pytania testowe wielokrotnego wyboru, treść do uzupełnienia, proste zadania obliczeniowe lub algorytmiczne oraz zadania problemowe o większej złożoności; zaliczenie pod warunkiem uzyskania ponad połowy punktów.

- omówienie wyników zaliczenia,

b) w zakresie laboratoriów / ćwiczeń weryfikowanie założonych efektów kształcenia realizowane jest przez:

- ocenę wiedzy i umiejętności związanych z realizacją zadań laboratoryjnych poprzez kolokwium,
 - ocenę sprawozdań przygotowywanych częściowo w trakcie zajęć, a częściowo po ich zakończeniu; ocena ta obejmuje także umiejętność pracy w zespole,
 - ocenę umiejętności związanych z realizacją ćwiczeń laboratoryjnych
- Uzyskiwanie punktów dodatkowych za aktywność podczas zajęć, a szczególnie za:
- omówienie dodatkowych aspektów zagadnienia,
 - efektywność zastosowania zdobytej wiedzy podczas rozwiązywania zadanego problemu,
 - umiejętność współpracy w ramach zespołu praktycznie realizującego zadanie szczegółowe w laboratorium

Treści programowe

Program obejmuje zagadnienia związane z projektowaniem scalonych układów ASIC realizowanych przy użyciu technologii CMOS, a w szczególności budowę układów cyfrowych i analogowych, narzędzia weryfikacji, podstawowe parametry struktur półprzewodnikowych.

Tematyka zajęć

W ramach wykładu przedstawiane są następujące zagadnienia:

1. Trendy, kierunki rozwoju i ograniczenia branży mikroelektroniki.
 2. Charakterystyka współczesnych technologii półprzewodnikowych, rynek układów scalonych, przegląd technologii alternatywnych (węglowych, magnetycznych itp.).
 3. Parametry warstwy sprzętowej systemów IoT, wyzwania stojące przed projektantami VLSI.
 4. Przegląd narzędzi projektowania układów ASIC, funkcjonalność narzędzi firmy Mentor Graphics. Funkcjonalność języków SPICE.
 5. Modele tranzystorów MOS i ich wykorzystanie w projektowaniu układów cyfrowych.
 6. Techniki cyfrowe i realizacje podstawowych cyfrowych modułów obliczeniowych.
 7. Złożone struktury MOS ? tranzystory palczaste, waflowe, tranzystory typu interdigitated i common centroid. Projektowanie pamięci.
 8. Parametry statyczne i dynamiczne układów cyfrowych, optymalizacja mocy obliczeniowej i kalibracja zużycia mocy.
 9. Jak przygotować układ do fabrykacji? Omówienie metod weryfikacji DRC, ERC, LVS, PEX; problem rozrzutu parametrów w fabrykacji, metody predykcji rozrzutu i oceny wrażliwości struktur półprzewodnikowych, strategia DFT (Design For Testing).
 10. Projektowanie topografii układu scalonego, strategię wierszowe. Gospodarowanie warstwami metalicznymi. Język AMPL do automatyzacji projektowania topografii.
 11. Akceleracja sprzętowa, implementacja preprocesorów na przykładzie rozwiązań komercyjnych, problemy zrównoleglenia obliczeń. Sprzętowe realizacje algorytmów kompresji, wyostrzania, klasyfikacji.
 12. Półprzewodnikowe struktury sieci neuronowych, neuroprocesory, problemy zrównoleglenia i potokowości w sieciach neuronowych, interfejs neuroprocesor-mózg na przykładzie sztucznego hipokampu i sztucznych perikarionów.
 13. Techniki 0.5 V, 0.3 V, 0.2 V - układy scalone pracujące przy obniżonym napięciu zasilania. Tryb napięciowy vs. tryb prądowy ? układy obliczeniowe w technologiach 40 nm i mniejszych.
 14. Routing sygnałów zasilania i sygnałów cyfrowych. Parametry czasowe ścieżek, elementy pasożytnicze. CMOS vs. PCB ? porównanie skali, problemów, narzędzi.
 15. Oscylatory, parametry czasowe padów, kompensacja pojemności sond oscyloskopowych. Testowanie układów.
 16. Omówienie najnowszych osiągnięć i aktualnych problemów w dziedzinie mikroelektroniki na przykładzie aktualnej literatury naukowej. Przedstawienie prac badawczych realizowanych w uczelni.
- W ramach laboratorium realizowane są następujące zagadnienia:
1. Zapoznanie z narzędziami Design Architect / Pyxis Schematic firmy Mentor Graphics służącymi do projektowania układów scalonych, w tym głównie układów cyfrowych na etapie schematu.
 2. Zapoznanie ze specyfikacją wybranej, wykorzystywanej w trakcie zajęć laboratoryjnych technologii półprzewodnikowej.
 3. Symulacja działania pojedynczych tranzystorów MOS realizowanych w wybranych technologiach nanometrowych.
 4. Budowanie i analiza prostej bramki logicznej realizowanej przy użyciu tranzystorów MOS.

5. Zapoznanie z wybranym językiem opisu architektury warstwy sprzętowej.
6. Badanie złożonego układu ASIC, ocena jego mocy obliczeniowej i analiza parametrów czasowych.
7. Zapoznanie z narzędziami ICStation / Pyxis Layout oraz CALIBRE firmy Mentor Graphics do projektowania i weryfikacji layoutu układu scalonego.
8. Projekt layoutu wybranego układu cyfrowego wraz z weryfikacją DRC, LVS, PEX i symulacją post-layoutową jego działania

Metody dydaktyczne

1. Wykład: prezentacja multimedialna uzupełniona przykładami podawanymi na tablicy
2. Ćwiczenia laboratoryjne: rozwiązywanie zadań, ćwiczenia praktyczne, analiza danych, symulacja, dyskusja, praca w zespole, studium przypadków, pokaz multimedialny.

Literatura

Podstawowa

1. "Podstawy elektroniki cyfrowej", Józef Kalisz, WKŁ, Warszawa, 2007
2. "Mixed-Signal Systems A Guide to CMOS Circuit Design", A. Handkiewicz, A Wiley-Interscience Publication John Wiley & Sons, INC., 2002
3. "CMOS, Circuit Design, Layout, and Simulation", R. Jacob Baker, A John Wiley & Sons, Inc., Publication, 2010

Uzupełniająca

1. "CMOS IC LAYOUT Concepts, Methodologies, and Tools", Dan Klein, Library of Congress Cataloging-in-Publication Data, ISBN 0-7506-7194-7
2. "Projektowanie układów scalonych CMOS", A. Gołda, A. Kos, WKŁ, Warszawa, 2011
3. A. Handkiewicz, S. Szczęsny, M. Naumowicz, P. Katarzyński, M. Melosik, P. Śniatała, M. Kropidłowski, "SI-Studio, a layout generator of current mode circuits", Expert Systems with Applications, vol. 42, Issue 6, pp. 3205-3218, 2015
4. S. Szczęsny, "0.3 V 2.5 nW per Channel Current-Mode CMOS Perceptron for Biomedical Signal Processing in Amperometry", IEEE Sensors Journal, vol. 17, Issue 17, pp. 5399-5409, 2017

Bilans nakładu pracy przeciętnego studenta

	Godzin	ECTS
Łączny nakład pracy	75	3,00
Zajęcia wymagające bezpośredniego kontaktu z nauczycielem	24	1,00
Praca własna studenta (studia literaturowe, przygotowanie do zajęć laboratoryjnych/ćwiczeń, przygotowanie do kolokwium/egzaminu, wykonanie projektu)	51	2,00